

Correction Examen TCIN
(avec documents)

Partie II – TCIN - (20 points)

Un composant compteur doit être implanté sur circuit intégré. Ses spécifications fonctionnelles sont les suivantes : il compte sur front montant de son horloge CLK, de 0 à 9. Le bus de sortie sur 4 bits évolue donc de « 0000 » à « 1001 ». Un signal RESET, actif à niveau bas, effectue de manière asynchrone la remise à 0 du compteur. Un signal ENABLE, actif à niveau haut, autorise le comptage, qui est donc inhibé lorsque ENABLE est à niveau bas. Un signal OVERFLOW synchrone, actif à 1, signale le passage de « 1001 » à « 0000 ».

1) La première solution d'implantation est un FPGA. Quel est le nombre approximatif de CLB qui seront utilisés par le composant compteur ?

Un compteur 4 bits utilise 4 bascules et un peu de logique. Il faut ajouter une bascule par signal de contrôle. Sur in Xilinx, un CLB contient 4 slices donc 8 bascules. Le compteur utilisera entre 1 et 2 CLB, selon que des bascules seront reportées ou non sur des IOBs.

Pourquoi la solution d'implantation sur FPGA est-elle généralement la première envisagée ?

Développement rapide et peu coûteux, permet de vérifier le fonctionnalités

Au vu des technologies classiquement utilisées pour les FPGA, donnez en le justifiant un ordre de grandeur de la fréquence maximale d'utilisation de « compteur ».

Un FPGA standard fonctionne avec une CLK max entre 200 MHz et 1 GHz. En incluant le retards de la partie combinatoire (LUT) du compteur, on atteindra de 100 à 300 Mhz.

2) La deuxième solution est l'implantation de « compteur » sur un ASIC du fabricant MIETEC. Vous disposez pour cela de la bibliothèque de cellules numériques MIETEC_Cadence, et de l'outil de CAO Cadence. Quels sont pour vous les 3 principaux avantages et 3 principaux inconvénients de cette solution d'implantation par rapport à la solution du 1) ?

Avantages de la solution ASIC : 1) optimisation de l'intégration silicium (seulement les fonctions utiles sont implantées) donc meilleures performances; 2) coût de fabrication faible pour des grandes quantités; 3) Suit l'évolution des technologies de fabrication (indépendamment des fabricants de FPGA).

Inconvénients de la solution ASIC : 1) temps de développement; 2) prototypes non modifiables; 3) conception bas niveau (compétences microélectronique)

3) Le fabricant MIETEC propose des technologies de fabrication CMOS, SiGe et BiCMOS. Lequel de ces 3 types de technologies choisirez-vous pour le compteur ? Justifiez votre réponse en classant ces technologies selon les 5 critères les plus pertinents pour votre composant.

Densité d'intégration : 1) CMOS ; 2) BiCMOS ; 3) SiGe

Consommation: 1) CMOS ; 2) BiCMOS ; 3) SiGe

Rapidité : 1) SiGe; 2) BiCMOS ; 3) CMOS

Coût : 1) CMOS ; 2) BiCMOS ; 3) SiGe

Marge de bruit : 1) CMOS ; 2) BiCMOS ; 3) SiGe

Choix : CMOS sauf si contrainte de rapidité (à partir de 1 GHz)

4) Afin de rendre votre composant testable après sa fabrication, il vous est demandé de remplacer les bascules D du compteur par des bascules D scan. Donner la description VHDL d'une bascule D scan, en précisant le nom et la fonction des signaux d'entrée/sortie supplémentaire d'une bascule D scan.

Description VHDL : idem bascule D avec entrées Sin (scan in) et SC (scan control) en plus ; lorsque SC est activé, la sortie Q recopie Sin au lieu de D.

dans le process :

```
Wait until CLK'event and CLK='1' ;
```

```
If SC='1' then Q<=Sin
```

```
Else Q<= D ;
```

```
End if ;
```

5) Expliquez l'utilisation et l'agencement des bascules D scan pour le test du composant compteur. Quels seront les signaux d'entrée/sortie supplémentaires pour compteur et comment seront-ils utilisés ?

Les bascules D scan remplacent les bascules D du compteur sur les 4 bits de comptage. Les 4 bascules sont connectées en série pour le mode scan (entrées Sin sont connectées sur les sorties Q). Lorsque SC est activé à 1, les bascules fonctionnent en registre à décalage et font circuler les données de test. Lorsque SC est à 0, le compteur fonctionne normalement.

6) Pour fabriquer l'ASIC compteur, vous devrez fournir à MIETEC ses vecteurs de test. Dessinez les chronogrammes des signaux d'entrée du composant compteur (y compris les signaux de test) vous permettant d'obtenir une couverture de test de 100% sur un nombre minimal de périodes d'horloges. Quel est ce nombre ?

Dans les chronogrammes : RESET à 0, puis 1, puis 0. ENABLE à 0 puis 1. Circuit en mode normal (SC =0) puis test (SC=1). Appliquer 0 sur SIN, puis 1 (afin de faire circuler un 0 puis un 1 dans les bascules du compteur connectées en série en mode test). Finir par un RESET.

Environ 10 périodes d'horloge.

7) Votre client vous demande de fournir le composant compteur avec le test intégré sur puce (BIST). Votre choix est de stocker les vecteurs de test (1 vecteur = 1 donnée de N bits) sur un module EEPROM intégré sur la puce. Expliquez qualitativement le fonctionnement du BIST dans ce cas-là.

Selon les chronogrammes de la question 6, il y aura un vecteur de test par front d'horloge (1 vecteur de test = liste des bits des entrées appliquées). Ces données seront stockées sur l'EEPROM par mots de 4 bits d'entrée (RESET, OVERFLOW, SC, SIN) + 5 bits de sortie (DOUT/4bits, OVERFLOW). A chaque front d'horloge lorsque le BIST sera activée, l'adresse de lecture de l'EEPROM sera incrémentée et les 4 premiers bits du vecteur de test appliqué sur les entrées du compteur. Les sorties du compteur seront comparées bit par bit aux 5 bits restant du vecteur de test. S'il il y a une différence, un drapeau (FLAG) sera activé en sortie du BIST

8) Dessinez le schéma électrique (à base de transistors NMOS) des cellules mémoires de l'EEPROM contenant les 2 premiers vecteurs (N bits) de votre protocole de test défini en 6). Comment effectuerez-vous la programmation de l'EEPROM ?

Voir le TD sur les EEPROM. Ici, la taille des mots stockés est de 9 bits selon la question 7.

9) Quelle alternative pouvez-vous proposer à la solution EEPROM pour le BIST ?

L'unique alternative est de synthétiser un circuit séquentiel synchrone de CLK (à base de bascules et de portes logiques) qui génère sur 9 sorties les vecteurs de test demandés. Il est probable que la surface silicium consommée sera plus importante, mais il n'y aura pas les contraintes du protocole de programmation de l'EEPROM, qui oblige à utiliser une technologie spécifique.

VHDL-TCIN : Question Bonus

Que déduisez-vous en comparant vos réponses aux questions I-6) et II-6) ?

Le test en utilisant des bascules SCAN est plus court (nombre inférieur de périodes d'horloge). Essentiellement parce que les bascules SCAN sont connectées en série en mode SCAN, et donc pour faire commuter le poids fort du compteur il suffit de 4 périodes d'horloge.

L'implantation de SCAN sur un circuit est donc coûteuse en silicium, mais facilite le test industriel des puces.